

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26260

(P2002-26260A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 27/04

G 0 5 F .1/56

3 1 0 J 5 F 0 3 8

21/822

H 0 1 L 27/04

B 5 H 4 3 0

// G 0 5 F 1/56

3 1 0

審査請求 未請求 請求項の数19 O L (全 19 頁)

(21) 出願番号

特願2000-202458(P2000-202458)

(22) 出願日

平成12年7月4日 (2000.7.4)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 加藤 宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5F038 AV06 BB01 BB04 BB08 CD02

DF01 DF06 DF08 EZ20

5H430 BB01 BB05 BB09 BB11 CC06

EE06 EE07 FF01 FF13 GG08

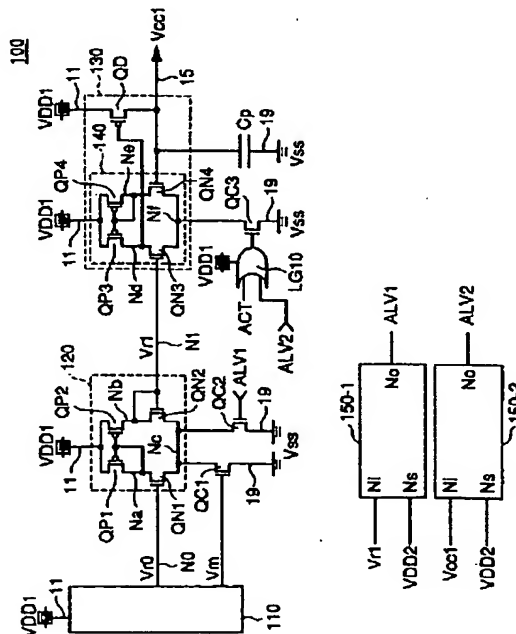
HH03 HH05 KK03 KK05

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 外部電源投入時において、内部電源電位の立ち上がりを安定的に高速化できる半導体装置を提供する。

【解決手段】 電圧発生回路100は、元参照電位信号Vr0および参照電位信号Vr1をそれぞれ生成する元参照電位信号発生回路110および参照電位信号発生回路120と、参照電位信号Vr1に基づいて内部電源電位Vcc1の電位レベルを制御するアクティブVDC130とを備える。起動制御回路150-1、150-2は、外部電源の起動から元参照電位信号Vr0および参照電位信号Vr1が所定値に到達するまでの期間、電圧発生回路100を高速に動作させるために制御信号ALV1、ALV2をそれぞれ活性化する。起動制御回路150-1、150-2は、元参照電位信号Vr0および参照電位信号Vr1を用いずに外部電源の起動を検知する。



【特許請求の範囲】

【請求項1】 第1の外部電源から第1の外部電源電位の供給を受けて動作する半導体装置であって、前記第1の外部電源電位を伝達する第1の外部電源配線と、

前記第1の外部電源配線から受けた前記第1の外部電源電位を内部電源電位に変換して内部電源配線に供給する電圧発生回路とを備え、

前記電圧発生回路は、

前記第1の外部電源配線から前記第1の外部電源電位を受けて、前記内部電源電位の設定電位レベルに応じた参照電位信号を第1の中間ノードに生成する参照電位発生部と、

前記内部電源配線の前記第1の中間ノードに対する電位レベル差に応じた電流量を前記外部電源配線から前記内部電源配線に供給する電圧変換回路と、

第1の制御信号の活性化期間中において、前記電圧変換回路に対して第1の動作電流を供給する第1の電流供給回路と、

前記第1の外部電源が起動してから前記内部電源配線の電位レベルが所定レベルに到達するまでの間、前記第1の制御信号を活性化する第1の起動制御回路とを含み、

前記第1の起動制御回路は、前記第1の中間ノードとは独立した第1の基準ノードと前記内部電源配線との電位レベルの比較によって、前記第1の外部電源の前記起動を検知し、

前記第1の基準ノードは、前記参照電位信号の生成とは独立した第1の直流電位を伝達し、

前記内部電源配線から前記内部電源電位を受けて動作する内部回路をさらに備える、半導体装置。

【請求項2】 前記半導体装置は、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、前記第1の基準ノードは、前記第2の外部電源電位と電気的に結合される、請求項1記載の半導体装置。

【請求項3】 前記第1の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する前記第1の電位レベルよりも低い第2の電位レベルとを有し、前記第1の制御回路は、

前記内部電源配線と電気的に結合されたゲートを有し、前記第1の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、前記内部電源配線と電気的に結合されたゲートを有し、前記第1の内部ノードと前記第2の電位レベルを供給する電位供給ノードとの間に電気的に結合される第2の電界効果型トランジスタと、

前記第1の内部ノードと電気的に結合されたゲートを有し、第2の内部ノードと前記電位供給ノードとの間に電気的に結合される第3の電界効果型トランジスタと、前記内部電源配線と電気的に結合されたゲートを有し、

第3の内部ノードと前記電位供給ノードとの間に電気的に結合される第4の電界効果型トランジスタと、前記第2および第3の内部ノードの電位レベルに応じて、前記第2および第3の内部ノードの電位レベルを前記第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、

前記第3の内部ノードの電位レベルに応じて、前記第1の制御信号を生成する信号バッファとを有する、請求項1記載の半導体装置。

【請求項4】 前記第3の電界効果型トランジスタは、前記第1の直流電位がゲートに入力された場合に、前記第2の内部ノードと前記電位供給ノードとの間に電流経路を形成可能である、請求項3記載の半導体装置。

【請求項5】 前記第1の直流電位は、前記設定電位レベル以下である、請求項3記載の半導体装置。

【請求項6】 前記参照電位発生部は、

前記外部電源配線から前記外部電源電位を受けて、前記参照電位信号を生成するための元参照電位信号を第2の中間ノードに生成する元参照電位発生回路と、

前記第2の中間ノードと前記第1の中間ノードとの電位レベル差に応じて前記第1の中間ノードを充電する参照電位発生回路とを含み、

前記電圧発生回路は、

前記参照電位発生回路に第2の動作電流を供給する第2の電流供給回路と、

第2の制御信号の活性化期間中において、前記第2の動作電流よりも大きい第3の動作電流を前記参照電位発生回路に供給する第3の電流供給回路と、

前記第1の外部電源が起動してから前記第1の中間ノードの電位レベルが所定レベルに到達するまでの間、前記第2の制御信号を活性化する第2の起動制御回路とをさらに含み、

前記第2の起動制御回路は、前記第2の中間ノードとは独立した第2の基準ノードと前記第1の中間ノードとの電位レベルの比較によって、前記第1の外部電源の前記起動を検知し、

前記第2の基準ノードは、前記元参照電位信号の生成とは独立した第2の直流電位を伝達する、請求項1記載の半導体装置。

【請求項7】 前記半導体装置は、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、前記第2の基準ノードは、前記第2の外部電源電位と結合される、請求項6記載の半導体装置。

【請求項8】 前記第2の外部電源は、前記第1の外部電源と同時にしくはそれより早いタイミングで起動される、請求項2または7に記載の半導体装置。

【請求項9】 前記第2の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する前記第1の電位レベルよりも低い第2の電位レベルとを有し、前記第2の制御回路は、

前記第1の中間ノードと電氣的に結合されたゲートを有し、前記第2の基準ノードと第1の内部ノードとの間に電氣的に結合される第1の電界効果型トランジスタと、前記第1の中間ノードと電氣的に結合されたゲートを有し、前記第1の内部ノードと前記第2の電位レベルを供給する電位供給ノードとの間に電氣的に結合される第2の電界効果型トランジスタと、前記第1の内部ノードと電氣的に結合されたゲートを有し、第2の内部ノードと前記電位供給ノードとの間に電氣的に結合される第3の電界効果型トランジスタと、前記第1の中間ノードと電氣的に結合されたゲートを有し、第3の内部ノードと前記電位供給ノードとの間に電氣的に結合される第4の電界効果型トランジスタと、前記第2および第3の内部ノードの電位レベルに応じて、前記第2および第3の内部ノードの電位レベルを前記第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、前記第3の内部ノードの電位レベルに応じて、前記第2の制御信号を生成する信号バッファとを有する、請求項6記載の半導体装置。

【請求項10】 前記第3の電界効果型トランジスタは、前記第2の直流電位がゲートに入力された場合に、前記第2の内部ノードと前記電位供給ノードとの間に電流経路を形成可能である、請求項9記載の半導体装置。

【請求項11】 前記第2の直流電位は、定常時における前記参照電位信号の電位レベル以下である、請求項9記載の半導体装置。

【請求項12】 第1および第2の外部電源から第1および第2の外部電源電位の供給をそれぞれ受けて動作する半導体装置であって、前記第1の外部電源電位を供給する第1の外部電源配線と、前記第2の外部電源電位を供給する第2の外部電源配線と、前記外部電源配線から受けた前記外部電源電位を内部電源電位に変換して内部電源配線に供給する電圧発生回路と、

前記内部電源配線から前記内部電源電位を受けて動作する内部回路とを備え、

前記電圧発生回路は、

前記外部電源配線から前記外部電源電位を受けて、前記内部電源電位の設定電位レベルに応じた参照電位信号を第1の中間ノードに生成する参照電位発生部と、

前記内部電源配線の前記第1の中間ノードに対する電位レベル差に応じた電流量を前記外部電源配線から前記内部電源配線に供給する電圧変換回路と、

第1の制御信号の活性期間中において、前記電圧変換回路に第1の動作電流を供給する第1の電流供給回路と、前記外部電源が起動されてから前記内部電源配線の電位レベルが所定レベルに到達するまでの間、前記第1の制

御信号を活性化する第1の起動制御回路とを含み、

前記第1の起動制御回路は、第1の基準ノードと前記内部電源配線との電位レベルの比較によって、前記外部電源電位の前記起動を検知し、

前記半導体装置は、

同一の金属配線層に形成される、前記第1の基準ノード、前記第1の中間ノードおよび、前記第2の電源配線とそれぞれ電氣的に結合される第1、第2および第3の金属配線をさらに備え、

前記第1の金属配線と前記第2および第3の金属配線のうちの一方とは、前記第1の金属配線層において電氣的に結合される、半導体装置。

【請求項13】 前記電圧発生部は、

前記第1の外部電源配線から前記第1の外部電源電位を受けて、前記参照電位信号を生成するための元参照電位信号を第2の中間ノードに生成する元参照電位発生回路と、

前記第2の中間ノードと前記第1の中間ノードとの電位レベル差に応じて前記第1の中間ノードを充電する参照電位発生回路とを含み、

前記電圧発生回路は、

前記参照電位発生回路に第2の動作電流を供給する第2の電流供給回路と、

第2の制御信号の活性期間中において、前記第2の動作電流よりも大きい第3の動作電流を前記参照電位発生回路に供給する第3の電流供給回路と、

前記外部電源が起動されてから前記第1の中間ノードの電位レベルが所定レベルに到達するまでの間、前記第2の制御信号を活性化する第2の起動制御回路とを含み、前記第2の起動制御回路は、前記外部電源の起動を第2の基準ノードと前記第1の中間ノードとの電位レベルの比較によって検知し、

前記半導体装置は、

前記同一の金属配線層に形成される、前記第2の基準ノードおよび前記第2の中間ノードとそれぞれ電氣的に結合される第4および第5の金属配線をさらに備え、

前記第4の金属配線と前記第3および第5の金属配線のうちの一方とは、前記第1の金属配線層において電氣的に結合される、請求項12記載の半導体装置。

【請求項14】 第1の外部電源から第1の外部電源電位の供給を受けて動作する半導体装置であって、

前記第1の外部電源電位を供給する外部電源配線と、

前記外部電源配線から前記第1の外部電源電位を受けて、複数の内部電源電位にそれぞれ変換する複数の電圧発生回路と、

前記複数の電圧発生回路から前記複数の内部電源電位の供給を受けて動作する複数の内部回路とを備え、

各前記電圧発生回路は、

前記複数の内部電源電位のうちの対応する1つを出力する内部電源配線と、

前記外部電源配線から前記第1の外部電源電位を受けて、前記対応する内部電源電位の設定電位レベルに応じた参照電位信号を第1の中間ノードに生成する参照電位発生部と、

前記内部電源配線の前記第1の中間ノードに対する電位レベル差に応じた電流量を前記外部電源配線から前記内部電源配線に供給する電圧変換回路と、

第1の制御信号の活性化にตอบสนองして、前記電圧変換回路に第1の動作電流を供給する第1の電流供給回路とを含み、

前記複数の電圧発生回路のうちの1個は、

前記第1の外部電源が起動してから、前記複数の電圧発生回路のうちのいずれか1個に対応する前記内部電源配線の電位レベルが所定電位レベルに到達するまでの間、前記第1の制御信号を活性化する第1の起動制御回路を含み、

前記第1の起動制御回路は、前記第1の中間ノードとは独立した第1の基準ノードと前記複数の電圧発生回路のうちの他のいずれか1個に対応する前記内部電源配線との電位レベルの比較によって、前記第1の外部電源の前記起動を検知し、

前記第1の基準ノードは、前記参照電位信号の生成とは独立した第1の直流電位を伝達する、半導体装置。

【請求項15】 前記半導体装置は、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、前記第1の基準ノードは、前記第2の外部電源電位と結合される、請求項14記載の半導体装置。

【請求項16】 前記第1の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する前記第1の電位レベルよりも低い第2の電位レベルとを有し、

前記第1の制御回路は、

前記複数の電圧発生回路のうちの前記他のいずれか1個に含まれる前記内部電源配線と電気的に結合されたゲートを有し、前記第1の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、

前記複数の電圧発生回路のうちの前記他のいずれか1個に含まれる前記内部電源配線と電気的に結合されたゲートを有し、前記第1の内部ノードと前記第2の電位レベルを供給する電位供給ノードとの間に電気的に結合される第2の電界効果型トランジスタと、

前記第1の内部ノードと電気的に結合されたゲートを有し、第2の内部ノードと前記電位供給ノードとの間に電気的に結合される第3の電界効果型トランジスタと、

前記複数の電圧発生回路のうちの前記いずれか1個に含まれる前記内部電源配線と電気的に結合されたゲートを有し、第3の内部ノードと前記電位供給ノードとの間に電気的に結合される第4の電界効果型トランジスタと、前記第2および第3の内部ノードの電位レベルに応じて、

前記第2および第3の内部ノードの電位レベルを前記第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、

前記第3の内部ノードの電位レベルに応じて、前記第1の制御信号を生成する信号バッファとを有する、請求項14記載の半導体装置。

【請求項17】 各前記電圧発生部は、

前記外部電源配線から前記第1の外部電源電位を受けて、前記参照電位信号を生成するための元参照電位信号を第2の中間ノードに生成する元参照電位発生回路と、前記第2の中間ノードと前記第1の中間ノードとの電位レベル差に応じて前記第1の中間ノードを充電する参照電位発生回路とを含み、

各前記電圧発生回路は、

前記参照電位発生回路に第2の動作電流を供給する第2の電流供給回路と、

第2の制御信号の活性化期間中において、前記第2の動作電流よりも大きい第3の動作電流を前記参照電位発生回路に供給する第3の電流供給回路とを含み、

前記複数の電圧発生回路のうちの1個は、

前記第1の外部電源が起動してから、前記複数の電圧発生回路のうちのいずれか1個に対応する前記第1の中間ノードの電位レベルが所定レベルに到達するまでの間、前記第2の制御信号を活性化する第2の起動制御回路をさらに含み、

前記第2の起動制御回路は、前記第2の中間ノードとは独立した第2の基準ノードと前記複数の電圧発生回路のうちの他のいずれか1個に対応する前記第1の中間ノードとの電位レベルの比較によって、前記第1の外部電源の前記起動を検知し、

前記第2の基準ノードは、前記元参照電位信号の生成とは独立した第2の直流電位を伝達する、請求項14記載の半導体装置。

【請求項18】 前記半導体装置は、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、前記第2の基準ノードは、前記第2の外部電源電位と結合される、請求項17記載の半導体装置。

【請求項19】 前記第2の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する前記第1の電位レベルよりも低い第2の電位レベルとを有し、

前記第2の制御回路は、

前記複数の電圧発生回路のうちの前記他のいずれか1個に含まれる前記第1の中間ノードと電気的に結合されたゲートを有し、前記第2の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、

前記複数の電圧発生回路のうちの前記他のいずれか1個に含まれる前記第1の中間ノードと電気的に結合されたゲートを有し、前記第1の内部ノードと前記第2の電位

レベルを供給する電位供給ノードとの間に電氣的に結合される第2の電界効果型トランジスタと、前記第1の内部ノードと電氣的に結合されたゲートを有し、第2の内部ノードと前記電位供給ノードとの間に電氣的に結合される第3の電界効果型トランジスタと、前記複数の電圧発生回路のうちの前記いずれか1個に含まれる前記第1の中間ノードと電氣的に結合されたゲートを有し、第3の内部ノードと前記電位供給ノードとの間に電氣的に結合される第4の電界効果型トランジスタと、

前記第2および第3の内部ノードの電位レベルに応じて、前記第2および第3の内部ノードの電位レベルを前記第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、前記第3の内部ノードの電位レベルに応じて、前記第2の制御信号を生成する信号バッファとを有する、請求項17記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、より特定的には、外部電源から供給された外部電源電位を内部回路の駆動に用いられる内部電源電位に変換する電圧発生回路を内蔵する半導体装置に関する。

【0002】

【従来の技術】半導体装置を始めとする、種々の電位レベルで駆動される内部回路群を備える装置においては、外部電源から供給される外部電源電位を所望の電位レベルの内部電源電位に変換するための電圧発生回路が用いられる。このような電圧発生回路としては、いわゆるVDC (Voltage Down Converter) 等が用いられる。

【0003】図13は、半導体装置内部における内部電源電位の生成に一般的に使用される電圧発生回路500の構成を示す概略ブロック図である。

【0004】図13を参照して、電圧発生回路500は、外部電源配線505から外部電源電位VDDを受けて、内部電源電位の設定値に対応する参照電位信号VREFを生成するVREF発生回路510と、内部電源電位Vccを内部電源配線525に生成するVDC520とを備える。

【0005】VDC520は、内部電源配線525および参照電位信号VREFの電位レベルを比較して、内部電源配線525の電位レベルが参照電位信号VREFの電位レベルよりも低い場合に外部電源配線505から内部電源配線525に電流を供給することによって、内部電源電位Vccを目標レベルに保持する。

【0006】したがって、外部電源が起動され、外部電源配線505において外部電源電位VDDが立上ると、まず参照電位信号VREFの電位レベルが立上がり、参照電位信号VREFに基づいてVDC520による内部電源電位Vcc1の制御が実行される。

【0007】すなわち、電圧発生回路500では、外部電源の起動時において、外部電源電位→参照電位信号VREF→内部電源電位Vccの順に起動される。電圧発生回路500による内部電源電位Vccの設定精度は、参照電位信号VREFの設定精度に大きく影響を受けることから、過渡的なオーバーシュート等を回避してより安定的に内部電源電位Vccを生成するために、参照電位信号VREFを段階的に生成するような構成も使用されている。

【0008】

【発明が解決しようとする課題】しかしながら、半導体装置においては、外部電源の起動から内部回路動作が実行されるまでの期間が、仕様に基づく規格値を満足する必要がある。このため、過渡的な電位変動が生じやすい外部電源起動時（以下、単に電源起動時ともいう）において、参照電位信号VREFを安定的に生成する必要がある一方で、内部電源電位Vccの立上りの高速化を図ることも必要である。

【0009】この際に、内部電源配線の電位レベルを監視して、内部電源電位Vccの電位レベルが所定値以下である場合には、VDCの動作速度を通常時よりも高速化する手法が考えられる。しかし、電源起動時という初期状態においては、各ノードの電位レベルも過渡状態であるため、いずれの内部ノードの電位レベルとの比較によって、VDCの動作速度の切換を行なうかが問題となる。

【0010】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、電源起動時において内部回路で使用する内部電源電位を高速に生成可能な半導体装置の構成を提供することである。

【0011】

【課題を解決するための手段】請求項1記載の半導体装置は、第1の外部電源から第1の外部電源電位の供給を受けて動作する半導体装置であって、第1の外部電源電位を伝達する第1の外部電源配線と、第1の外部電源配線から受けた第1の外部電源電位を内部電源電位に変換して内部電源配線に供給する電圧発生回路とを備え、電圧発生回路は、第1の外部電源配線から第1の外部電源電位を受けて内部電源電位の設定電位レベルに応じた参照電位信号を第1の中間ノードに生成する参照電位部と、内部電源配線の第1の中間ノードに対する電位レベル差に応じた電流量を外部電源配線から内部電源配線に供給する電圧変換回路と、第1の制御信号の活性化期間中において、電圧変換回路に対して第1の動作電流を供給する第1の電流供給回路と、第1の外部電源が起動されてから内部電源配線の電位レベルが所定レベルに到達するまでの間第1の制御信号を活性化する第1の起動制御回路とを含み、第1の起動制御回路は、第1の中間ノードとは独立した第1の基準ノードと内部電源配線との電位レベルの比較によって、第1の外部電源の起動を検

知し、第1の基準ノードは、参照電位信号の生成とは独立した第1の直流電位を伝達し、内部電源配線から内部電源電位を受けて動作する内部回路をさらに備える。

【0012】請求項2記載の半導体装置は、請求項1記載の半導体装置であって、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、第1の基準ノードは、第2の外部電源電位と電気的に結合される。

【0013】請求項3記載の半導体装置は、請求項1記載の半導体装置であって、第1の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する第1の電位レベルよりも低い第2の電位レベルとを有し、第1の制御回路は、内部電源配線と電気的に結合されたゲートを有し、第1の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、内部電源配線と電気的に結合されたゲートを有し、第1の内部ノードと第2の電位レベルを供給する電位供給ノードとの間に電気的に結合される第2の電界効果型トランジスタと、第1の内部ノードと電気的に結合されたゲートを有し、第2の内部ノードと電位供給ノードとの間に電気的に結合される第3の電界効果型トランジスタと、内部電源配線と電気的に結合されたゲートを有し、第3の内部ノードと電位供給ノードとの間に電気的に結合される第4の電界効果型トランジスタと、第2および第3の内部ノードの電位レベルに応じて、第2および第3の内部ノードの電位レベルを第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、第3の内部ノードの電位レベルに応じて、第1の制御信号を生成する信号バッファとを有する。

【0014】請求項4記載の半導体装置は、請求項3記載の半導体装置であって、第3の電界効果型トランジスタは、第1の直流電位がゲートに入力された場合に、第2の内部ノードと電位供給ノードとの間に電流経路を形成可能である。

【0015】請求項5記載の半導体装置は、請求項3記載の半導体装置であって、第1の直流電位は、設定電位レベル以下である。

【0016】請求項6記載の半導体装置は、請求項1記載の半導体装置であって、電圧発生部は、外部電源配線から外部電源電位を受けて、参照電位信号を生成するための元参照電位信号を第2の中間ノードに生成する元参照電位発生回路と、第2の中間ノードと第1の中間ノードとの電位レベル差に応じて第1の中間ノードを充電する参照電位発生回路とを含み、電圧発生回路は、参照電位発生回路に第2の動作電流を供給する第2の電流供給回路と、第2の制御信号の活性化期間中において、第2の動作電流よりも大きい第3の動作電流を参照電位発生回路に供給する第3の電流供給回路と、第1の外部電源が起動されてから第1の中間ノードの電位レベルが所定レベルに到達するまでの間、第2の制御信号を活性化する第2の起動制御回路とをさらに含み、第2の起動制御

回路は、第2の中間ノードとは独立した第2の基準ノードと第1の中間ノードとの電位レベルの比較によって、第1の外部電源の起動を検知し、第2の基準ノードは、元参照電位信号の生成とは独立した第2の直流電位を伝達する。

【0017】請求項7記載の半導体装置は、請求項6記載の半導体装置であって、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、第2の基準ノードは、第2の外部電源電位と結合される。

【0018】請求項8記載の半導体装置は、請求項2または7に記載の半導体装置であって、第2の外部電源は、第1の外部電源と同時にしくはそれより早いタイミングで起動される。

【0019】請求項9記載の半導体装置は、請求項6記載の半導体装置であって、第2の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する第1の電位レベルよりも低い第2の電位レベルとを有し、第2の制御回路は、第1の中間ノードと電気的に結合されたゲートを有し、第2の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、第1の中間ノードと電気的に結合されたゲートを有し、第1の内部ノードと第2の電位レベルを供給する電位供給ノードとの間に電気的に結合される第2の電界効果型トランジスタと、第1の内部ノードと電気的に結合されたゲートを有し、第2の内部ノードと電位供給ノードとの間に電気的に結合される第3の電界効果型トランジスタと、第1の中間ノードと電気的に結合されたゲートを有し、第3の内部ノードと電位供給ノードとの間に電気的に結合される第4の電界効果型トランジスタと、第2および第3の内部ノードの電位レベルに応じて、第2および第3の内部ノードの電位レベルを第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、第3の内部ノードの電位レベルに応じて、第2の制御信号を生成する信号バッファとを有する。

【0020】請求項10記載の半導体装置は、請求項9記載の半導体装置であって、第3の電界効果型トランジスタは、第2の直流電位がゲートに入力された場合に、第2の内部ノードと電位供給ノードとの間に電流経路を形成可能である。

【0021】請求項11記載の半導体装置は、請求項9記載の半導体装置であって、第2の直流電位は、定常時における参照電位信号の電位レベル以下である。

【0022】請求項12記載の半導体装置は、第1および第2の外部電源から第1および第2の外部電源電位の供給をそれぞれ受けて動作する半導体装置であって、第1の外部電源電位を供給する第1の外部電源配線と、第2の外部電源電位を供給する第2の外部電源配線と、外部電源配線から受けた外部電源電位を内部電源電位に変換して内部電源配線に供給する電圧発生回路と、内部電

源配線から内部電源電位を受けて動作する内部回路とを備え、電圧発生回路は、外部電源配線から外部電源電位を受けて、内部電源電位の設定電位レベルに応じた参照電位信号を第1の中間ノードに生成する参照電位発生回路と、内部電源配線の第1の中間ノードに対する電位レベル差に応じた電流量を外部電源配線から内部電源配線に供給する電圧変換回路と、第1の制御信号の活性期間中において、電圧変換回路に第1の動作電流を供給する第1の電流供給回路と、外部電源が起動されてから内部電源配線の電位レベルが所定レベルに到達するまでの間、第1の制御信号を活性化して第1の起動制御回路とを含み、第1の起動制御回路は、第1の基準ノードと内部電源配線との電位レベルの比較によって、外部電源電位の起動を検知し、半導体装置は、同一の金属配線層に形成される、第1の基準ノード、第1の中間ノードおよび、第2の電源配線とそれぞれ電気的に結合される第1、第2および第3の金属配線をさらに備え、第1の金属配線と第2および第3の金属配線のうちの一方とは、第1の金属配線層において電気的に結合される。

【0023】請求項13記載の半導体装置は、請求項12記載の半導体装置であって、参照電位発生部は、第1の外部電源配線から第1の外部電源電位を受けて、参照電位信号を生成するための元参照電位信号を第2の中間ノードに生成する元参照電位発生回路と、第2の中間ノードと第1の中間ノードとの電位レベル差に応じて第1の中間ノードを充電する参照電位発生回路とを含み、電圧発生回路は、参照電位発生回路に第2の動作電流を供給する第2の電流供給回路と、第2の制御信号の活性期間中において、第2の動作電流よりも大きい第3の動作電流を参照電位発生回路に供給する第3の電流供給回路と、外部電源が起動されてから第1の中間ノードの電位レベルが所定レベルに到達するまでの間、第2の制御信号を活性化して第2の起動制御回路とを含み、第2の起動制御回路は、外部電源の起動を第2の基準ノードと第1の中間ノードとの電位レベルの比較によって検知し、半導体装置は、同一の金属配線層に形成される、第2の基準ノードおよび第2の中間ノードとそれぞれ電気的に結合される第4および第5の金属配線をさらに備え、第4の金属配線と第3および第5の金属配線のうちの一方とは、第1の金属配線層において電気的に結合される。

【0024】請求項14記載の半導体装置は、第1の外部電源から第1の外部電源電位の供給を受けて動作する半導体装置であって、第1の外部電源電位を供給する外部電源配線と、外部電源配線から第1の外部電源電位を受けて、複数の内部電源電位にそれぞれ変換する複数の電圧発生回路と、複数の電圧発生回路から複数の内部電源電位の供給を受けて動作する複数の内部回路とを備え、各電圧発生回路は、複数の内部電源電位のうちの対応する1つを出力する内部電源配線と、外部電源配線から第1の外部電源電位を受けて、対応する内部電源電位

の設定電位レベルに応じた参照電位信号を第1の中間ノードに生成する参照電位発生部と、内部電源配線の第1の中間ノードに対する電位レベル差に応じた電流量を外部電源配線から内部電源配線に供給する電圧変換回路と、第1の制御信号の活性化にตอบสนองして、電圧変換回路に第1の動作電流を供給する第1の電流供給回路とを含み、複数の電圧発生回路のうちの1個は、第1の外部電源が起動されてから、複数の電圧発生回路のうちのいずれか1個に対応する内部電源配線の電位レベルが所定電位レベルに到達するまでの間、第1の制御信号を活性化して第1の起動制御回路とを含み、第1の起動制御回路は、第1の中間ノードとは独立した第1の基準ノードと複数の電圧発生回路のうちの他のいずれか1個に対応する内部電源配線との電位レベルの比較によって、第1の外部電源の起動を検知し、第1の基準ノードは、参照電位信号の生成とは独立した第1の直流電位を伝達する。

【0025】請求項15記載の半導体装置は、請求項14記載の半導体装置であって、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、第1の基準ノードは、第2の外部電源電位と結合される。

【0026】請求項16記載の半導体装置は、請求項14記載の半導体装置であって、第1の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する第1の電位レベルよりも低い第2の電位レベルとを有し、第1の制御回路は、複数の電圧発生回路のうちの他のいずれか1個に含まれる内部電源配線と電気的に結合されたゲートとを有し、第1の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、複数の電圧発生回路のうちの他のいずれか1個に含まれる内部電源配線と電気的に結合されたゲートとを有し、第1の内部ノードと第2の電位レベルを供給する電位供給ノードとの間に電気的に結合される第2の電界効果型トランジスタと、第1の内部ノードと電気的に結合されたゲートとを有し、第2の内部ノードと電位供給ノードとの間に電気的に結合される第3の電界効果型トランジスタと、複数の電圧発生回路のうちのいずれか1個に含まれる内部電源配線と電気的に結合されたゲートとを有し、第3の内部ノードと電位供給ノードとの間に電気的に結合される第4の電界効果型トランジスタと、第2および第3の内部ノードの電位レベルに応じて、第2および第3の内部ノードの電位レベルを第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、第3の内部ノードの電位レベルに応じて、第1の制御信号を生成する信号バッファとを有する。

【0027】請求項17記載の半導体装置は、請求項14記載の半導体装置であって、参照電位発生部は、外部電源配線から第1の外部電源電位を受けて参照電位信号を生成するための元参照電位信号を第2の中間ノードに生成する元参照電位発生回路と、第2の中間ノードと第1の中間ノードとの電位レベル差に応じて第1の中間ノード

ードを充電する参照電位発生回路とを含み、各電圧発生回路は、参照電位発生回路に第2の動作電流を供給する第2の電流供給回路と、第2の制御信号の活性化期間中において、第2の動作電流よりも大きい第3の動作電流を参照電位発生回路に供給する第3の電流供給回路とを含み、複数の電圧発生回路のうちの1個は、第1の外部電源が起動されてから、複数の電圧発生回路のうちのいずれか1個に対応する第1の中間ノードの電位レベルが所定レベルに到達するまでの間、第2の制御信号を活性化第2の起動制御回路をさらに含み、第2の起動制御回路は、第2の中間ノードとは独立した第2の基準ノードと複数の電圧発生回路のうちの他のいずれか1個に対応する第1の中間ノードとの電位レベルの比較によって、第1の外部電源の起動を検知し、第2の基準ノードは、元参照電位信号の生成とは独立した第2の直流電位を伝達する。

【0028】請求項18記載の半導体装置は、請求項17記載の半導体装置であって、第2の外部電源から第2の外部電源電位の供給をさらに受けて動作し、第2の基準ノードは、第2の外部電源電位と結合される。

【0029】請求項19記載の半導体装置は、請求項17記載の半導体装置であって、第2の制御信号は、活性状態に対応する第1の電位レベルと、非活性状態に対応する第1の電位レベルよりも低い第2の電位レベルとを有し、第2の制御回路は、複数の電圧発生回路のうちの他のいずれか1個に含まれる第1の中間ノードと電気的に結合されたゲートを有し、第2の基準ノードと第1の内部ノードとの間に電気的に結合される第1の電界効果型トランジスタと、複数の電圧発生回路のうちの他のいずれか1個に含まれる第1の中間ノードと電気的に結合されたゲートを有し、第1の内部ノードと第2の電位レベルを供給する電位供給ノードとの間に電気的に結合される第2の電界効果型トランジスタと、第1の内部ノードと電気的に結合されたゲートを有し、第2の内部ノードと電位供給ノードとの間に電気的に結合される第3の電界効果型トランジスタと、複数の電圧発生回路のうちのいずれか1個に含まれる第1の中間ノードと電気的に結合されたゲートを有し、第3の内部ノードと電位供給ノードとの間に電気的に結合される第4の電界効果型トランジスタと、第2および第3の内部ノードの電位レベルに応じて、第2および第3の内部ノードの電位レベルを第1および第2の電位レベルの一方ずつに設定し保持するラッチ回路と、第3の内部ノードの電位レベルに応じて、第2の制御信号を生成する信号バッファとを有する。

【0030】

【発明の実施の形態】以下において、図面を参照して本発明の実施の形態について詳細に説明する。

【0031】〔実施の形態1〕図1は、本発明の実施の形態1に従う半導体装置1の構成を示す概略ブロック図

である。

【0032】図1を参照して、半導体装置1は、複数の外部電源電位、たとえばVDD1およびVDD2によって駆動される。半導体装置10は、外部電源配線11から外部電源電位VDD1を受けて、内部電源配線15に内部電源電位Vcc1を生成する電圧発生回路100を備える。

【0033】電圧発生回路100は、外部電源配線11から外部電源電位VDD1を受けて元参照電位信号Vr0を出力する元参照電位信号発生回路110と、元参照電位信号Vr0に基づいて参照電位信号Vr1を生成する参照電位信号発生回路120と、参照電位信号Vr1および内部電源配線15の電位レベル差に応じて、外部電源配線11から内部電源配線15に電流を供給するアクティブVDC130とを含む。このように、元参照電位信号発生回路110および参照電位信号発生回路120によって、元参照電位信号Vr0と電位レベルが等しい参照電位信号Vr1を別ノードに発生させ、これを内部電源電位Vccの直接の参照電位とする。参照電位信号Vr1が生成されるノードN1は、長距離配線ノードとなる場合もあるのでノイズの影響を受けやすくなる。しかし、元参照電位信号Vr0の出力には、長距離配線ノードは不要であるのでノイズを受け難い。以上のように、最もノイズの影響を受けやすいアナログ中間電位である元参照電位信号Vr0に対するノイズを最小限に抑制する構成が実現される。

【0034】電圧発生回路100は、さらに、制御信号ALV1およびALV2をそれぞれ生成する起動制御回路150-1および150-2をさらに含む。起動制御回路150-1は、電源起動時において参照電位信号Vr1の電位レベルが所定値以下である場合に、制御信号ALV1を活性状態に設定して、参照電位信号発生回路110の動作を一時的に高速化する。起動制御回路150-2は、電源起動時において内部電源電圧Vcc1の電位レベルが所定値以下である場合に、アクティブVDC130を活性化して、内部電源電圧Vcc1の立上りの高速化を図る。

【0035】半導体装置1は、さらに、アクティブVDC130と並列に配置されるスタンバイVDC135を備える。スタンバイVDC135は、アクティブVDC130と同様に、参照電位信号Vr1および内部電源配線15の電位レベル差に応じて、外部電源配線11から内部電源配線15に電流を供給する。スタンバイVDC135は、内部電源電位Vcc1のスタンバイ時における緩やかな変動を補償するために配置され、アクティブVDC130よりも動作速度が低い。スタンバイVDC135は、消費電流もアクティブVDC130に比較して小さく、電源起動後は基本的に常時活性化される。

【0036】半導体装置1は、さらに、内部電源配線15から内部電源電位Vcc1の供給を受けて動作する内

部回路20と、外部電源電位VDD2を供給するための外部電源配線12とを備える。

【0037】なお、図1においては、半導体装置内の電源系統として、外部電源電位VDD1を内部電源電位Vcc1に変換する電源系統を代表的に記載しているが、本願発明の適用は、電源系統が単一である場合に限定されるものではない。すなわち、内部にこのような電源系統が複数存在する半導体装置に対しても、各電源系統ごとに本願発明を適用することが可能である。

【0038】「電源起動時に活性化される電圧発生回路の一般的な構成」実施の形態1に従う電圧発生回路100の構成を説明する前に、電圧発生回路100と類似の構成を有する電圧発生回路600を用いて、電源起動時において電圧発生回路に生じる問題点を説明する。

【0039】図2は、電源起動時において活性化される電圧発生回路600の構成を示す回路図である。

【0040】図2を参照して、電圧発生回路600は、外部電源配線11から外部電源電位VDD1を受けて元参照電位信号Vr0をノードN0に出力する元参照電位信号発生回路110と、元参照電位信号Vr0に基づいてノードN1に参照電位信号Vr1を生成する参照電位信号発生回路120と、アクティブVDC130を構成する、差動増幅回路140および電流駆動トランジスタQDとを備える。差動増幅回路140は、ノードN1および内部電源配線15の電位レベル差を増幅して出力する。電流駆動トランジスタQDは、差動増幅回路140の出力に応じた電流量を外部電源配線11から内部電源配線15に供給する。内部電源配線11に付加される容量はCpで示される。内部電源配線15は、内部電源電位Vcc1を内部回路20に伝達する。

【0041】電圧発生回路600は、さらに、参照電位信号発生回路120に動作電流を供給するためのN型MOSトランジスタQC1およびQC2と、差動増幅回路130に動作電流を供給するためのN型トランジスタQC3と、トランジスタQC3のゲートに制御信号を与える論理ゲートLG10とをさらに備える。本願発明の実施の形態においては、電界効果型トランジスタの代表例としてMOSTランジスタを適用する。

【0042】元参照電位信号発生回路110は、外部電源電位VDD1の起動に応じて、所定の元参照電位信号Vr0を生成する。

【0043】図14は、元参照電位信号発生回路110の構成を示す回路図である。図14を参照して、元参照電位信号発生回路110は、ローパスフィルタ112と、一定電流生成部115と元参照電位調整部117とを含む。

【0044】ローパスフィルタ112は、外部電源電位VDD1の高周波ノイズを除去して、配線113に伝達する。一定電流生成部115は、P型MOSTランジスタQP10、QP12と、N型MOSTランジスタQN

10、QN12と、抵抗素子116とを有する。N型MOSTランジスタQN10、QN12は同一サイズに設計されるが、トランジスタQP10およびQP12のトランジスタサイズは異なるように設計される。これにより、一定電流生成部115において、トランジスタQP10およびQN10を流れる電流、およびトランジスタQP11およびQN11を流れる電流は、トランジスタQP10およびQP12のサブスレッショルド領域における特性差が反映された、配線113の電位レベルの変動に依存しない一定電流Iconstとなる。電流Iconstに応じてノードNyに生成される中間電位Vmは、トランジスタQC1のゲートに入力される。

【0045】元参照電位調整部117は、配線113と元参照電位V0を生成するノードN0との間に電氣的に結合されるP型MOSTランジスタQP14と、ノードN0とノードNzの間に直列に接続されるP型MOSTランジスタQP21~QP24、QP16と、トランジスタQP21~QP24とそれぞれ並列に結合されるヒューズ素子118-1から118-4と、ノードNzと接地配線19との間に直列に接続されるP型MOSTランジスタQP18、QP20とを含む。

【0046】トランジスタQP14をトランジスタQP12と同一のトランジスタサイズで設計することによって、元参照電位調整部117を流れる電流は、カレントミラー115における一定電流Iconstと等しくなる。

【0047】トランジスタQP16、QP21~QP24のゲートは接地配線19と結合され、これらのトランジスタは、等価的には抵抗素子として作用する。ノードNzには、トランジスタQP18およびQP20のしきい値電圧の和に相当する電位が生じる。したがって、ノードN0の電位、すなわち元参照電位V0の電位レベルは、ノードNzの電位と、ノードN0とノードNzとの間において一定電流Iconstによって生じる電圧降下量とに応じて決定されるので、外部電源電位VDD1の電位が変動しても、元参照電位V0の電位レベルを一定に維持できる。

【0048】また、ヒューズカットを施すヒューズ素子の個数によって、ノードN0とノードNzとの間における電圧降下量を調整できるので、元参照電位信号Vr0の電位レベルを微調整することも可能である。調整に使用するヒューズ素子および抵抗素子として作用するトランジスタのペアの個数は、図14の例に限られず任意の複数個とすることができる。

【0049】再び、図2を参照して、トランジスタQC1は、通常時における動作電流を参照電位信号発生回路120に供給する。トランジスタQC1のしきい値電圧を、図14に示されるトランジスタQN10およびQN12と同程度とすれば、参照電位発生回路120の動作電流を図14中のIconstレベルに抑制することが

できる。したがって、直流電位信号V_mの電位レベルは、動作電流を絞るためにトランジスタQC1のしきい値電圧よりやや高いレベルに設定される。

【0050】トランジスタQC2は、電源起動時において参照電位信号V_{REF}を高速に立上げるために、制御信号ALV1の活性化(Hレベル)期間中に参照電位信号発生回路120を高速動作させるための大きな動作電流を供給する。

【0051】参照電位信号発生回路120は、外部電源配線11とノードNaおよびNbとの間にそれぞれ電気的に結合されるP型MOSトランジスタQP1およびQP2と、ノードNaおよびNbとノードNcとの間にそれぞれ電気的に結合されるN型MOSトランジスタQN1およびQN2とを有する。トランジスタQP1およびQP2のゲートはノードNaと結合される。ノードNbは、参照電位信号V_{r1}が生成されるノードN1すなわちトランジスタQN2のゲートと結合される。

【0052】このような構成とすることにより、参照電位信号発生回路120は、トランジスタQC1のみ、もしくはトランジスタQC1およびQC2の両方から動作電流の供給を受けて、ノードN0およびN1の電位レベル差に応じて、ノードN1を充電する。これにより、ノードN0に生成される元参照電位信号V_{r0}に基づいて、参照電位信号V_{r1}をノードN1に生成することができる。なお、図の構成では、元参照電位信号V_{r0}と参照電位信号V_{r1}の電位レベルは等しく、V_{r0}=V_{r1}の関係が成立する。

【0053】差動増幅回路140は、外部電源配線11とノードNdおよびNeとの間にそれぞれ電気的に結合されるP型MOSトランジスタQP3およびQP4と、ノードNdおよびNeとノードNfとの間にそれぞれ電気的に結合されるN型MOSトランジスタQN3およびQN4とを有する。差動増幅回路130は、いわゆるカレントミラー構成を有し、ノードN1および内部電源配線15の電位レベル差を増幅してノードNdに出力する。ノードNdは電流駆動トランジスタQDのゲートと結合される。

【0054】差動増幅回路140は、トランジスタQC3により動作電流を供給される。トランジスタQC3のゲートには、論理ゲートLG10の出力が入力される。論理ゲートLG10は、制御信号ACTおよびALV2を受けて、両者のOR論理演算結果を出力する。論理ゲートLG10の出力信号の活性化(Hレベル)期間中において、アクティブVDC130は、活性化される。

【0055】制御信号ALV1およびALV2は、電源起動時において、電圧発生回路600を高速動作させて内部電源電圧V_{cc1}を高速に立上げるために活性状態(Hレベル)に設定される。制御信号ACTは、内部電源電位V_{cc1}が設定レベルまで立上がった後に、内部回路20における、たとえば半導体装置におけるセン

スアの活性化のような、比較的大きな電流を消費するイベントの発生に対応して活性化(Hレベル)される。

【0056】図1に示されたスタンバイVDC135は、アクティブVDC130と同様の構成を有し、トランジスタQC2と同様の電流供給トランジスタから微小電流を受けて動作する。また、スタンバイVDC135を配置する代わりに、アクティブVDC130に対して、スタンバイVDC135の活性化期間に対応して微小電流を供給する新たなトランジスタをトランジスタQC3と並列に設ける構成としてもよい。電圧発生回路600は、制御信号ALV1およびALV2をそれぞれ生成する起動制御回路650-1および650-2をさらに含む。起動制御回路650-1および650-2の各々は、入力ノードNi、基準ノードNsおよび、制御信号を生成する出力ノードNoを有する。

【0057】起動制御回路650-1は、電源起動時において、入力ノードNiの電位レベルすなわち参照電位信号V_{r1}の電位レベルが所定値以下である場合に、出力ノードNoに生成する制御信号ALV1を活性状態に設定する。

【0058】起動制御回路650-1は、基準ノードNsと入力ノードNiとの電位レベルの比較によって、外部電源の起動を検知して制御信号ALV1をHレベルに立上げて活性化する。したがって、起動制御回路650-1の基準ノードNsに対して、電源起動時において参照電位信号V_{r1}よりも早く立ち上がる直流信号である元参照電位信号V_{r0}が入力される。

【0059】同様に、起動制御回路650-2は、電源起動時において、入力ノードNiの電位レベルすなわち内部電源電位V_{cc1}が所定値以下である場合に、出力ノードNoに生成する制御信号ALV2を活性状態に設定する。

【0060】起動制御回路650-2においては、外部電源の起動を検知するための基準ノードNsに対しては、電源起動時において内部電源電圧V_{cc1}よりも早く立ち上がる直流信号である参照電位信号V_{r1}が入力される。

【0061】起動制御回路650-1および650-2は、入力ノードNi、基準ノードNsおよび出力ノードNoに入出力される電位信号が異なるが、回路構成は同一である。したがって、代表的に、起動制御回路650-1の構成について説明する。

【0062】図3は、起動制御回路650-1の構成を説明する回路図である。図3を参照して、起動制御回路650-1は、基準ノードNsと内部ノードNgとの間に結合されるP型トランジスタQP5と、内部ノードNgと接地電位V_{ss}を供給する接地配線19との間に電気的に結合されるN型MOSトランジスタQN5とを含む。トランジスタQN5およびQP5のゲートは、入力ノードNiと結合される。トランジスタQP5およびQ

N5は、参照電位信号Vr0および接地電位Vssによって駆動されるインバータ155を形成する。入力ノードNiは、参照電位信号Vr1が生成されるノードN1と電気的に結合される。

【0063】起動制御回路650-1においては、基準ノードNsは、元参照電位信号Vr0が生成されるノードN0と結合される。

【0064】起動制御回路650-1は、さらに、内部ノードNgと結合されるゲートを有し、内部ノードNhと接地配線19との間に電気的に結合されるN型MOSトランジスタQCaと、内部ノードNjと接地配線Vssとの間に電気的に結合され、入力ノードNiと結合されるゲートを有するN型MOSトランジスタQCbと、内部ノードNhおよびNjの電位レベルをラッチするためのラッチ回路157を形成するインバータIV10およびIV12を含む。

【0065】起動制御回路650-1は、さらに、内部ノードNjの電位レベルに応じて、制御信号ALV1を出力ノードNoに生成するための信号バッファ159を形成するインバータIV14およびIV16をさらに含む。インバータIV10、IV12、IV14、IV16は、外部電源配線11によって駆動される。したがって、制御信号ALV1のHレベル電位およびLレベル電位は、外部電源電位VDD1および接地電位Vssにそれぞれ相当する。

【0066】次に、起動制御回路の動作を説明する。電源起動時において、参照電位信号Vr1が接地電位Vssレベルから立上がる際においては、基準ノードNsに伝達される元参照電位信号Vr0は参照電位信号Vr1よりも早く立上がるため、まずトランジスタQP5がオンして、内部ノードNgの電位レベルは、基準ノードNsの電位レベル、すなわち参照電位信号Vr0と等しくなる。

【0067】ノードNgの電位がトランジスタQCaのしきい値をこえると、トランジスタQCaによって内部ノードNhと接地配線19との間に電流経路が形成されて、内部ノードNhの電位レベルはLレベル（接地電位Vss）に設定される。これにより、ラッチ回路157によってラッチされる内部ノードNhおよびNjの電位レベルは、Lレベル（接地電位Vss）およびHレベル（外部電源電位VDD1）にそれぞれ設定される。これに応じて、出力ノードNoの電位レベルもHレベル（外部電源電位VDD1）に設定される。これにより、制御信号ALV1が活性化（Hレベルへ）される。ラッチ回路157によって、内部ノードNhおよびNjの電位レベルは保持されるので、制御信号ALV1の活性状態（Hレベル）も維持される。

【0068】その後、入力ノードNiの電位レベル、すなわち参照電位信号Vr1の電位レベルが上昇すると、トランジスタQCbによって内部ノードNjと接地配線

19との間に放電経路が形成される。これにより、内部ノードNjの電位レベルは、HレベルからLレベルに変化する。トランジスタQCbのしきい値電圧や電流駆動力を適正に調整することにより、入力ノードNiの電位レベルが所定値に達した時点において、ノードNjの電位レベルをLレベルに反転して、制御信号ALV2を非活性化（Lレベルへ）することができる。

【0069】このような構成とすることによって、起動制御回路650-1は、外部電源の起動にตอบสนองして制御信号ALV1を活性化し、参照電位信号Vr1の電位レベルが所定値に達するまでの間制御信号ALV1の活性状態を維持する。これにより、電源起動時の所望期間において参照電位信号発生回路120を高速に動作させることができる。

【0070】しかしながら、参照電位信号Vr0が生成されるノードN0は、ハインピーダンスノードであるため、電源起動後の立上がり時において、参照電位信号Vr1が中間電位状態にある場合には、基準ノードNs〜トランジスタQP5〜トランジスタQN5〜接地配線19の経路に貫通電流が生じ、基準ノードNsの電位レベルすなわち元参照電位信号Vr0の電位レベルが一時的に低下するおそれがある。この問題は、起動制御回路650-2においても同様であり、電源起動後の立上がり時において、参照電位信号Vr0の電位レベルが一時的に低下してしまうおそれがある。

【0071】図4は、電圧発生回路600の問題点を説明するためのタイミングチャートである。

【0072】図4を参照して、時刻t0において外部電源が起動されて外部電源電位VDD1が立上がる。これに応じて、内部電源電位Vcc1を設定電位レベルVsetに整定するための元参照電位信号Vr0および参照電位信号Vr1の生成が開始される。

【0073】電源起動後の初期状態においては、制御信号ALV1およびALV2は、いずれも活性化（Hレベルへ）され、参照電位信号発生回路120の高速化およびアクティブVDC130の活性化が実行される。

【0074】しかしながら、上述したように、起動制御回路650-1および650-2において、入力段のインバータ155に生じる貫通電流によって、基準ノードNsの電位レベル、すなわち元参照電位信号Vr0および参照電位信号Vr1の電位レベルが一時的に低下する現象が生じるため、元参照電位信号Vr0および参照電位信号Vr1は、時間の経過に沿って単調に上昇せず、一旦その電位レベルが低下した後に再び上昇を開始する。これによって、参照電位信号Vr1の立上りが遅れるため、これに対応して内部電源電位Vcc1の立上りも遅れてしまう。

【0075】ノードN0およびN1に電位レベルを安定化させるための容量を結合して、元参照電位信号Vr0および参照電位信号Vr1の電位レベルの低下を防止す

ることも考えられるが、この場合には、電源起動時ににおいてノードN0およびN1の充電に必要な電荷量が大きくなってしまいうため、これらの電位信号の高速な立上がりがかえって阻害してしまう。

【0076】時刻 t_1 において、参照電位信号 V_{r1} が所定電位 V_{trn} に達すると、制御信号 $ALV1$ は非活性化される。これにより、トランジスタ $QC2$ による動作電流の供給は停止され、参照電位信号発生回路120の高速動作は終了する。同様に、時刻 t_2 において、内部電源電位 V_{cc1} の電位レベルが所定電位 V_{trn} に到達すると、トランジスタ $QC3$ による動作電流の供給は停止されて、アクティブ $VDC130$ は非活性化される。

【0077】時刻 t_2 以降においては、スタンバイ $VDC135$ のみによる内部電源配線15の緩やかな充電動作が継続され、時刻 t_3 において、内部電源電位 V_{cc1} は設定電位 V_{set} に到達する。所定電位 V_{trn} は、内部電源電位 V_{cc1} が設定電位 V_{set} からオーバershootすることを防止するため、およびトランジスタパラメータ等のプロセスばらつきにより、 V_{trn} がばらついて V_{trn} が設定電位 V_{set} よりも大きくなることを避けるために、設定電位よりもある程度差をもった低い値に設定される。一般的には、所定電位 V_{trn} は、設定電位 V_{set} よりも最低でも0.3V程度低く設定することが望ましい。

【0078】このように、時刻 t_0 から時刻 t_1 の間において、起動制御回路中のインバータ155に生じる貫通電流の影響によって、参照電位信号 V_{r1} が一時的に落ち込む問題点によって、内部電源電位 V_{cc1} の高速な立上がりが阻害される。

【0079】〔実施の形態1に従う電圧発生回路の構成〕図5は、実施の形態1に従う電圧発生回路100の構成を示す回路図である。

【0080】図5を参照して、電圧発生回路100は、図2に示される電圧発生回路600と比較して、起動制御回路650-1、650-2に代えて、起動制御回路150-1、150-2を備える点で異なる。

【0081】起動制御回路150-1および150-2は、起動制御回路650-1および650-2と同様の回路構成を有し、制御信号 $ALV1$ および $ALV2$ をそれぞれ生成する。しかし、起動制御回路150-1および150-2は、基準ノードNsに対して、元参照電位信号 V_{r0} および参照電位信号 V_{r1} の生成とは無関係である独立した外部電源電位 $VDD2$ が入力される点で、起動制御回路650-1および650-2と異なる。

【0082】その他の元参照電位信号発生回路110、参照電位信号発生回路120、アクティブ $VDC130$ 、電流制御トランジスタ $QC1 \sim QC3$ 、および論理ゲート $LG10$ については、図2で説明した内容と同様

であるので説明は繰返さない。

【0083】起動制御回路150-1および150-2は、入力ノードNiおよび基準ノードNsおよび出力ノードNoに入出力される電位信号が異なるが、回路構成は同一である。したがって、代表的に、起動制御回路150-1の構成について説明する。

【0084】図6は、起動制御回路150-1の構成を示す回路図である。図6を参照して、基準ノードNsは、独立の外部電源電位 $VDD2$ を供給する外部電源配線12と電気的に結合される。その他の部分の構成および動作については、図3で説明したとおりであるので詳細な説明は繰返さない。

【0085】このように、起動制御回路150-1の基準ノードNsに参照電位信号 V_{r1} の生成とは無関係な電位を入力することによって、電源起動時時の入力ノードNiおよび基準ノードNsの電圧レベルが立上がる初期状態時において、インバータ155に貫通電流が発生して基準ノードNsの電位レベルが変動しても、参照電位信号 V_{r1} の電位レベルに悪影響を与えることがない。外部電源電位 $VDD2$ のような外部電源による直流電位を基準ノードNsに割り当てれば、インバータ155に貫通電流が生じて基準ノードNsの電位レベルの保持は、十分に可能である。

【0086】同様に、起動制御回路150-2においては、内部電源電位 V_{cc} の生成とは無関係である独立した電位信号を基準ノードNsに入力することによって、内部電源電位 V_{cc} の電位レベルの立上がりが遅れることを防止できる。たとえば、起動制御回路150-2においても、基準ノードNsを外部電源配線12と電気的に結合すればよい。

【0087】図7は、電圧発生回路100の動作を説明するタイミングチャートである。図7を参照して、時刻 t_0 において、外部電源電位 $VDD1$ が起動される。図7においては、外部電源電位 $VDD2$ が外部電源電位 $VDD1$ よりも早く起動される例を示しているが、外部電源電位 $VDD2$ は、元参照電位信号 V_{r0} および参照電位信号 V_{r1} の生成が開始される時刻 t_0 と同時にしくはそれ以前において起動されればよい。

【0088】外部電源電位 $VDD1$ の起動後、制御信号 $ALV1$ および $ALV2$ が活性化(Hレベルへ)され、元参照電位信号 V_{r0} および参照電位信号 V_{r1} が立上がる。これに応じて、内部電源電位 V_{cc1} も制御されて立上がる。

【0089】電圧発生回路100においては、起動制御回路150-1、150-2の影響によって、元参照電位信号 V_{r0} および参照電位信号 V_{r1} の電位レベルが一時的に低下する現象が生じないので、内部電源電位 V_{cc1} も速やかに立上がる。

【0090】したがって、参照電位信号 V_{r1} が所定電位 V_{trn} に到達する時刻 t_1' および内部電源電位 V

cc1が所定電位Vtrnに到達する時刻t2'は、いずれも図4に示される時刻t1およびt2よりも早くなる。これにより、外部電源起動(時刻t0)から内部電源電位Vcc1が設定電位Vsetに到達する(時刻t3')までの時間TD2は、図3に示される時間TD1よりも短縮される。

【0091】このように、電源起動時における内部電源電位の立上りを、参照電位信号を段階的に生成することによってオーバーシュートを抑制した上で、高速化することができる。

【0092】なお、電圧発生回路100において、起動制御回路150-1および150-2の基準ノードNsへの入力は、電源起動時において入力ノードNiに入力される電位信号よりも早く立ち上がり、かつ、元参照電位信号Vr0および参照電位信号Vr1とは独立である電位信号であればよく、必ずしも独立の外部電源電位を入力する必要はない。

【0093】また、基準ノードNsに伝達される電位信号の電位レベルは、トランジスタQCaのしきい値電圧よりも大きくなるように設定する必要がある。電源起動時において制御信号ALV1、ALV2を活性化するためには、基準ノードNsの電位レベルをゲートに受けるトランジスタQCaによって、ノードNhと接地配線19とを電気的に結合して、電流経路を形成する必要があるからである。

【0094】さらに、定常時において、基準ノードNsの電位レベルが入力ノードNiの電位レベル以下であれば、インバータ155における定常的な貫通電流の発生を防止して、起動制御回路150-1、150-2の消費電流の低減を図ることができるので、定常状態では、基準ノードNsの電位レベルは、入力ノードNiの電位レベルよりも小さいことが望ましい。

【0095】[実施の形態2] 実施の形態1においては、起動制御回路150-1および150-2の基準ノードNsを、元参照電位信号Vr0および参照電位信号Vr1の生成とは無関係な独立の外部電源配線と結合することによって、内部電源電位Vccの立上がり特性を改善する構成について説明した。

【0096】しかし、電圧発生回路が搭載される半導体装置の仕様によっては、電源投入時の立上がり時間の規格がそれほど厳しくないものもあり、この場合においては、電圧発生回路600で示す構成のように、基準ノードNsを元参照電位信号Vr0や参照電位信号Vr1と結合する構成としても、仕様を満足することが可能である。

【0097】一方、電圧発生回路100の構成によって内部電源電位Vcc1の立上がり特性を改善する場合には、内部電源電位Vcc1の立上りを正常に制御するためには、複数の外部電源電位VDD1およびVDD2の両方が正常に起動されることが必要となる。したがっ

て、それほど高速な立上がり特性が要求されない場合等、半導体装置の仕様によっては、単一の外部電源電位VDD1に基づいて内部電源電位Vcc1を生成する電圧発生回路600の構成を適用するのが妥当なケースも存在する。

【0098】図8は、本発明の実施の形態2に従う電圧発生回路101の構成を示す回路図である。

【0099】図8を参照して、電圧発生回路101は、実施の形態1に従う電圧発生回路と同様の構成を有するが、起動制御回路150-1および150-2において、基準ノードNsに対する結合の選択によって、図2に示した電圧発生回路600および図5に示した電圧発生回路100のいずれか一方の構成を実現することが可能である点を特徴とする。

【0100】半導体装置の製造時において、このようなノードの結合の選択を簡易に実行可能な電圧発生回路101の構造について説明する。

【0101】図9は、基準ノードNsに関連する部分の構造を説明するための断面図である。

【0102】図9においては、代表的に、起動制御回路150-2中の基準ノードNsの結合に関連するインバータ155部分の断面図が示される。

【0103】図9を参照して、主基板200上に、N型ウェル210およびP型ウェル220が形成される。N型ウェル210上にはP型MOSトランジスタQP5が形成される。トランジスタQP5は、ソース212およびドレイン214に相当するp型領域と、ゲート216とを有する。

【0104】P型ウェル220上には、N型MOSトランジスタQN5が形成される。トランジスタQN5は、ソース222およびドレイン224に相当するn型領域と、ゲート226とを有する。トランジスタQP5のゲート216とトランジスタQN5のゲート226とは、配線230によって結合される。配線230は入力ノードNiに相当し、内部電源配線15と結合される(図示せず)。トランジスタQN5とQP5との間には、素子分離酸化膜215が設けられる。

【0105】金属配線層M1には、配線240、242および244が設けられる。配線242は、トランジスタQP5のドレイン214およびトランジスタQN5のドレイン224と、層間絶縁層に設けられたスルーホール264および266を介して結合される。配線240は、スルーホール262を介してトランジスタQP5のソース212と電気的に結合される。配線244はスルーホール268を介してトランジスタQN5のソース222と結合される。

【0106】金属配線層M2には、配線250、252、254、256および258が設けられる。配線250は、外部電源電位VDD2を伝達する外部電源配線12と結合される(図示せず)。配線252は、起動制

御回路250-2の基準ノードNsに相当する。配線254は、参照電位信号Vr1を伝達するノードN1に相当する。配線256は、インバータ155の出力ノードであるノードNgに相当する。配線258は、接地電位Vssと結合される(図示せず)。

【0107】このような構成とすることにより、配線252および250の間の領域280と、配線252および254の間の領域285とのいずれか一方に配線を形成することにより、電圧発生回路100および600における基準ノードNsの結合態様のいずれか一方を選択的に実現できる。

【0108】上述した配線形成の選択は、対応する金属配線層M2に使用されるメタルマスクの切換によって簡易に実行することができる。これにより、半導体装置の仕様に対応して、電圧発生回路100および600の構成のいずれか一方を簡易に選択して半導体基板上に形成することができる。

【0109】同様の構造は、起動制御回路150-1に対しても適用可能である。この場合には、起動制御回路250-2の基準ノードNsに相当する第1の配線と、参照電位信号Vr0を伝達するノードN0に相当する第2の配線と、外部電源電位VDD2を伝達する外部電源配線12と結合される第3の配線とを同一の金属配線層に設ければ、同様に、メタルマスクの切換によって簡易に、基準ノードNsと、ノードN0および外部電源配線12との間の結合態様を選択的に実現できる。

【0110】【実施の形態3】実施の形態3においては、複数の電源系統を有する半導体装置における電源起動時における内部電源電位の制御について説明する。

【0111】図10は、本発明の実施の形態3に従う半導体装置2の構成を示す概略ブロック図である。

【0112】図10を参照して、半導体装置2は、図1に示した半導体装置1と比較して、内部電源電位Vcc2を発生する電源系統を具備し、内部電源電位Vcc2を内部電源配線16に生成する電圧発生回路300と、内部電源配線16から内部電源電位Vcc2の供給を受けて動作する内部回路21とをさらに備える。

【0113】電圧発生回路300は、図1に示した電圧発生回路100と類似の構成を有し、元参照電位信号発生回路110、参照電位信号発生回路120、アクティブVDC130にそれぞれ対応する元参照電位信号発生回路310、参照電位信号発生回路320、アクティブVDC330を含む。元参照電位信号発生回路310は、元参照電位信号Vr0'を生成し、参照電位信号発生回路320は、参照電位信号Vr2を生成する。また、内部電源電位Vcc1の電源系統と同様に、アクティブVDC330と並列にスタンバイVDC335が配置される。

【0114】このように、電圧発生回路300および電圧発生回路100は、生成する内部電源電位のレベルは

異なるが、内部電源電位を生成するための回路構成は同様である。

【0115】実施の形態3に従う電圧発生回路102は、起動制御回路150-1、150-2に代えて、起動制御回路152-1、152-2を備える点で電圧発生回路100と異なる。起動制御回路152-1、152-2が生成する制御信号ALV1、ALV2は、内部電源電位Vcc1を生成する電圧発生回路102と、内部電源電位Vcc2を生成する電圧発生回路300との間で共有される。

【0116】図11は、本発明の実施の形態3に従う電圧発生回路102の構成を示す回路図である。

【0117】図11を参照して、電圧発生回路103は、図5に示した電圧発生回路100と比較して、起動制御回路150-1および150-2に代えて、起動制御回路152-1および152-2を備える点で異なる。起動制御回路152-1および152-2は、制御信号ALV1およびALV2の活性化および非活性化を複数の電圧発生回路(電源系統)にまたがって実行する点が特徴である。

【0118】すなわち、起動制御回路152-1および152-2は、2つの入力ノードNi1およびNi2を有し、基準ノードNsおよび入力ノードNi1の電位レベルの関係に応じて制御信号ALV1およびALV2をそれぞれ活性化し、入力ノードNi2の電位レベルに応じて、対応する制御信号ALV1およびALV2をそれぞれ非活性化する。

【0119】起動制御回路152-1および152-2も、入力ノードNi、基準ノードNsおよび出力ノードNoに入出力される電位信号が異なるが、回路構成は同一であるので、起動制御回路152-2の構成について代表的に説明する。

【0120】図12は、起動制御回路152-2の構成を示す回路図である。図12を参照して、起動制御回路152-2は、図6に示される起動制御回路150-1と比較して、インバータ155の入力が内部ノードNi1と結合される点と、トランジスタQCbのゲートが内部ノードNi2と結合される点とが異なる。その他の構成および動作については、図6に示した起動制御回路150-1と同様であるので説明は繰返さない。

【0121】このような構成とすることにより、電源投入時におけるノードNgの電位レベル、すなわち出力ノードNoに生成される制御信号ALV2は、ノードNi1の電位レベルより先に、基準ノードNsの電位レベルが立上ることによって活性化(Hレベルへ)され、内部ノードNi2の電位レベルが所定値以上となると非活性化(Lレベルへ)される。

【0122】再び図11を参照して、起動制御回路152-1は、内部電源電位Vcc1に対応する参照電位信号Vr1を入力ノードNi1に受け、内部電源電位Vc

c2に対応する参照電位信号Vr2を入力ノードNi2に受ける。同様に、起動制御回路152-2は、入力ノードNi1に電圧発生回路102の生成する内部電源電位Vcc1を受けて、入力ノードNi2に電圧発生回路300が生成する内部電源電位Vcc2を受ける。

【0123】各電圧発生回路が生成する内部電源電位については、その供給先となる負荷の構成や、これらの内部電源電位が生成されるノードに付加される容量の差異によって、その立上がり特性は大きく異なってくる。したがって、各内部電源電位の立上がり特性の差異に着目して、たとえば複数の電圧発生回路のうちの立上がり特性が最速もしくは最遅のものに適宜対応して、制御信号ALV1、ALV2を活性化および非活性化させることによって、同一の制御信号を、複数の電圧発生回路間で共有することができる。すなわち、図10においては、電源系統が2つであり、内部電源電位および電圧発生回路も2個である場合を例示しているが、実施の形態3に係る本願発明は、2系統以上の任意の複数電源系統が存在する場合に対しても適用可能である。

【0124】これにより、各内部電源電位を電源起動時において高速化するための起動制御回路を、各電圧発生回路ごと、すなわち各電源系統ごとに配置する必要がなくなるので、回路面積を削減することができる。

【0125】なお、本発明の実施の形態1〜3においては、元参照電位信号110および参照電位信号発生回路120によって、内部電源電位を制御するための参照電位を元参照電位信号Vr0および参照電位信号Vr1によって2段階で生成する構成を例示した。しかしながら、本願発明の適用は、このような場合に限定されるものではなく、3段階以上の多段階で参照電位を生成する場合においても、段階数の増加に応じて、同様の起動制御回路をさらに設けることで対応することができる。

【0126】また、参照電位発生回路120を省略して、元参照電位信号Vr0をアクティブVDC130、すなわちノードN1に inputsする構成としても、起動制御回路150-2または152-2による電源起動時におけるアクティブVDC130の活性化制御について、本願発明を適用することができる。

【0127】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0128】

【発明の効果】請求項1から4に記載の半導体装置は、外部電源の起動時において、内部電源電位を生成する内部電源配線を高速に充電するための第1の起動制御回路の動作によって参照電位信号の電位レベルが一時的に低下することを回避して、内部電源電位の立上りを高速化

できる。

【0129】請求項5記載の半導体装置は、請求項3記載の半導体装置が奏する効果に加えて、定常時における第1の起動制御回路での無用な電力消費を抑制できる。

【0130】請求項6から10に記載の半導体装置は、請求項3記載の半導体装置が奏する効果に加えて、元参照電位信号に基づいて参照電位信号をより安定的に生成可能な構成の下で、参照電位信号を生成する第1の中間ノードを高速に充電するための第2の起動制御回路の動作によって元参照電位信号の電位レベルが一時的に低下することを回避して、内部電源電位の立上りを高速化できる。

【0131】請求項11記載の半導体装置は、請求項9記載の半導体装置が奏する効果に加えて、定常時における第2の起動制御回路での無用な電力消費を抑制できる。

【0132】請求項12記載の半導体装置は、立上りの高速性を重視して複数の外部電源に基づいて内部電源電位を発生するか、動作の安定性を重視して単一の外部電源に基づいて内部電源電位を発生するかの選択を、半導体装置製造時における、第1から第5の金属配線が形成される金属配線層に対応するメタルマスクの切換えによって実行できる。

【0133】請求項13記載の半導体装置は、元参照電位信号に基づいて参照電位信号をより安定的に生成可能な構成の下で、請求項12記載の半導体装置と同等の効果享受することができる。

【0134】請求項14から16に記載の半導体装置は、外部電源の起動時において、内部電源電位を生成する内部電源配線を高速に充電するための第1の起動制御回路の動作によって参照電位信号の電位レベルが一時的に低下することを回避して、内部電源電位の立上りを高速化できる。また、第1の起動制御回路を複数の電圧発生回路間で共有するので回路面積の削減が可能である。

【0135】請求項17から19に記載の半導体装置は、請求項15記載の半導体装置が奏する効果に加えて、元参照電位信号に基づいて参照電位信号をより安定的に生成可能な構成の下で、参照電位信号を生成する第1の中間ノードを高速に充電するための第2の起動制御回路の動作によって元参照電位信号の電位レベルが一時的に低下することを回避して、内部電源電位の立上りを高速化できる。また、第2の起動制御回路を複数の電圧発生回路間で共有するので回路面積の削減が可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う半導体装置1の構成を示す概略ブロック図である。

【図2】 電源起動時において活性化される電圧発生回路600の構成を示す回路図である。

【図3】 起動制御回路650-1の構成を説明する回

路図である。

【図4】 電圧発生回路600の問題点を説明するためのタイミングチャートである。

【図5】 実施の形態1に従う電圧発生回路100の構成を示す回路図である。

【図6】 実施の形態1に従う起動制御回路150-1の構成を示す回路図である。

【図7】 電圧発生回路100の動作を説明するタイミングチャートである。

【図8】 本発明の実施の形態2に従う電圧発生回路101の構成を示す回路図である。

【図9】 基準ノードNsに関連する部分の構造を説明するための断面図である。

【図10】 本発明の実施の形態3に従う半導体装置2の構成を示す概略ブロック図である。

【図11】 本発明の実施の形態3に従う電圧発生回路102の構成を示す回路図である。

【図12】 起動制御回路152-2の構成を示す回路

図である。

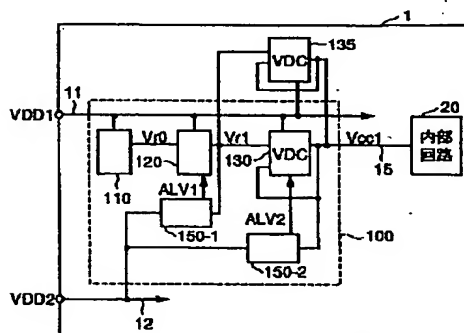
【図13】 一般的な電圧発生回路の構成を示す概略ブロック図である。

【図14】 元参照電位信号発生回路110の構成を示す回路図である。

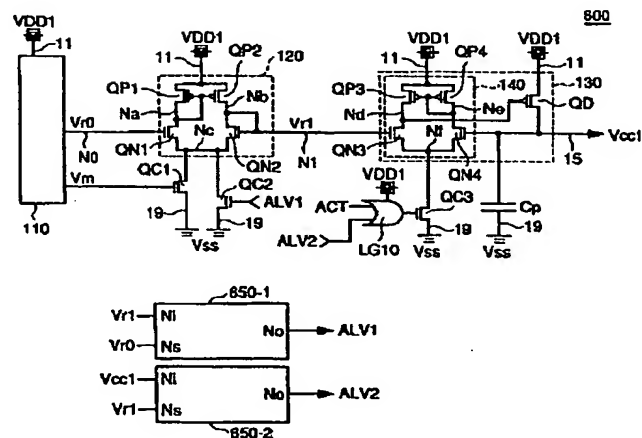
【符号の説明】-

11, 12 外部電源配線、15, 16 内部電源配線、20, 21 内部回路、100, 101, 102, 300 電圧発生回路、110, 310 元参照電位信号発生回路、120, 320 参照電位信号発生回路、130, 330 アクティブVDC、135, 335 スタンバイVDC、140 差動増幅回路、150-1, 150-2, 152-1, 152-2 起動制御回路、Ni, Ni1, Ni2 入力ノード、No 出力ノード、Ns 基準ノード、QD 電流駆動トランジスタ、Vr0, Vr0' 元参照電位信号、Vr1, Vr2 参照電位信号、Vcc1, Vcc2 内部電源電位、VDD1, VDD2 外部電源電位。

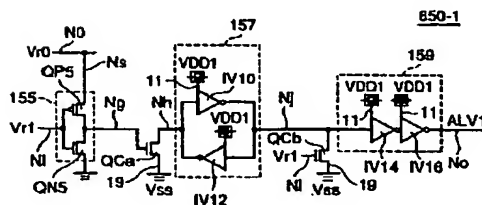
【図1】



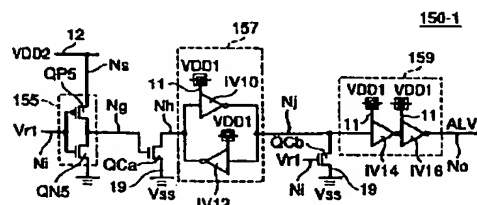
【図2】



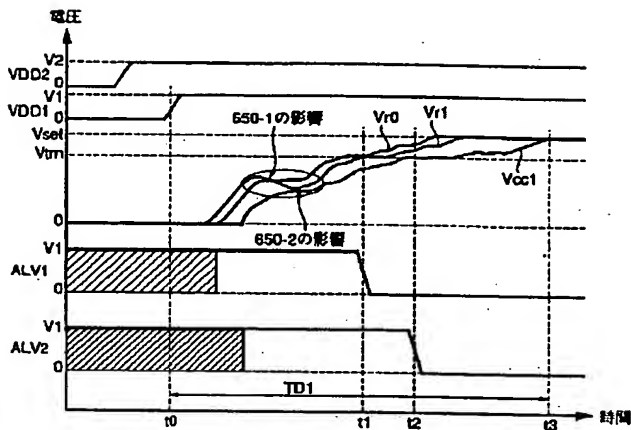
【図3】



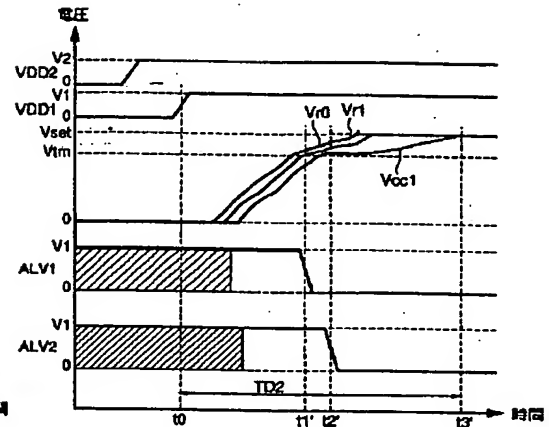
【図6】



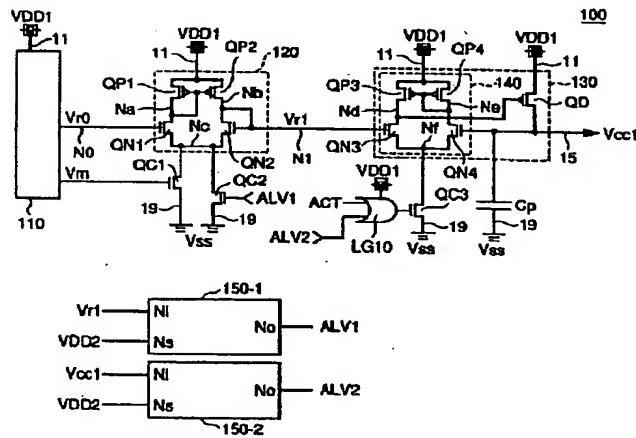
【図4】



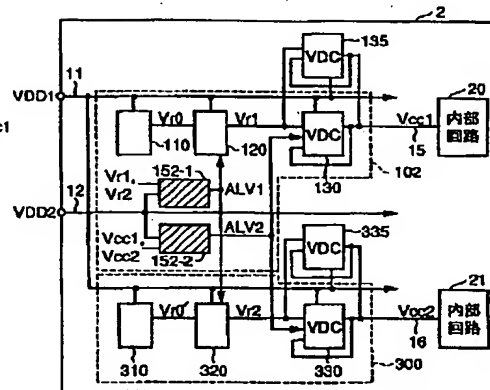
【図7】



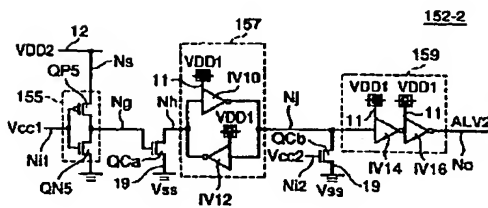
【図5】



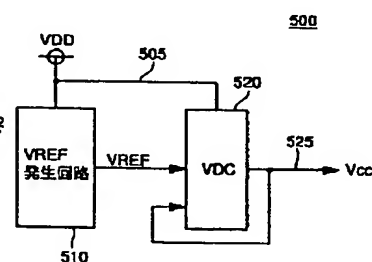
【図10】



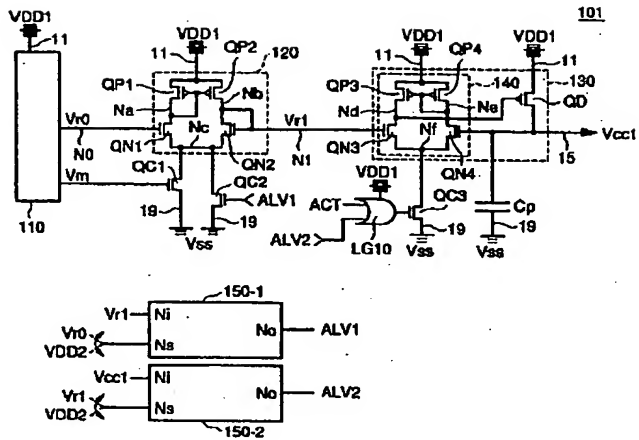
【図12】



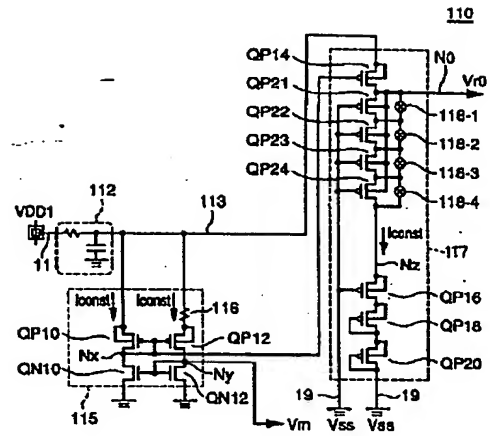
【図13】



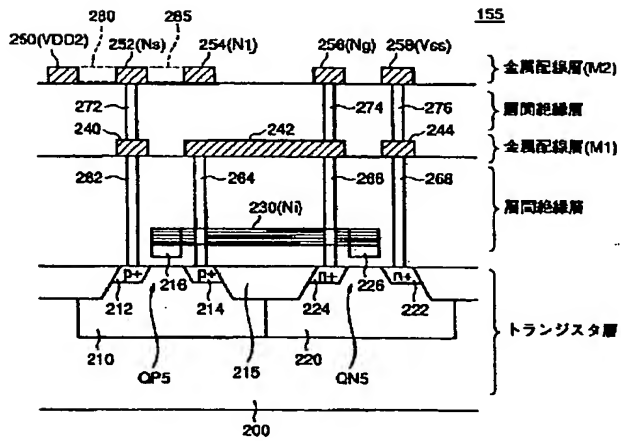
【図8】



【図 14】



【図9】



【図11】

